

501.43367X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Sadayuki MORITA, et aL

Serial No.:

Filed: February 2, 2004

Title: SEMICONDUCTOR DEVICE

Group:

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

February 2, 2004

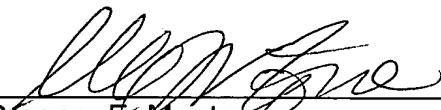
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-047071 filed February 25, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/nac
Attachment
(703) 312-6600



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 2月 25日

出願番号 Application Number: 特願 2003-047071

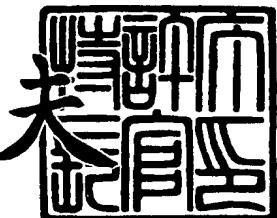
[ST. 10/C]: [JP 2003-047071]

出願人 Applicant(s): 株式会社ルネサステクノロジ
株式会社日立超エル・エス・アイ・システムズ

2003年10月22日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 H02015821

【提出日】 平成15年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/00

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 22 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 森田 貞幸

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 斎藤 良和

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 マイクロプロセッサと、それによってアクセス可能な半導体メモリとが結合されて成る半導体装置であって、

上記マイクロプロセッサは、電源電圧が供給されることにより、外部との間で信号のやり取りを可能とするシステム側入出力バッファ回路を含んで成り、

上記半導体メモリは、上記電源電圧を参照電圧として取り込んで、上記電源電圧にはほぼ等しい内部電源電圧を生成する内部電源回路と、

上記内部電源電圧が供給されることにより、上記システム側入出力バッファ回路との間で信号のやり取りを可能とするメモリ側入出力バッファ回路と、を含んで成ることを特徴とする半導体装置。

【請求項 2】 上記半導体メモリは、上記電源電圧を参照電圧として取り込むための専用の外部端子を含む請求項 1 記載の半導体装置。

【請求項 3】 上記マイクロプロセッサは、上記電源電圧の供給によって動作される内部回路を含む請求項 2 記載の半導体装置。

【請求項 4】 上記内部電源回路は、取り込まれた電源電圧と、上記内部電源回路の出力電圧とを比較するための差動回路と、

上記差動回路での比較結果に基づいて、上記内部電源電圧のレベルを決定するための電圧出力回路と、を含んで成る請求項 3 記載の半導体装置。

【請求項 5】 上記半導体メモリは、上記内部電源電圧よりも高いレベルの第 2 内部電源電圧が供給されることによって動作されるメモリ内部回路を含み、

上記メモリ側入出力バッファ回路は、上記内部電源電圧レベルの信号を上記第 2 内部電源電圧レベルの信号にシフト可能なレベルシフト回路を含む請求項 4 記載の半導体装置。

【請求項 6】 上記半導体メモリは、上記内部電源電圧よりも低いレベルの第 3 内部電源電圧を発生させるための降圧回路と、

上記第 3 内部電源電圧が供給されることによって動作されるメモリ内部回路と、を含み、

上記メモリ側入出力バッファ回路は、上記第3内部電源電圧レベルの信号を上記内部電源電圧レベルの信号にシフト可能なレベルシフト回路を含む請求項4記載の半導体装置。

【請求項7】 マイクロプロセッサと、それによってアクセス可能な半導体メモリとが結合されて成る半導体装置であって、

上記マイクロプロセッサは、外部から与えられた電源電圧を降圧することで内部コア電源電圧を生成する内部コア電源回路と、

上記内部コア電源電圧の供給によって動作され、外部との間で信号のやり取りを可能とするシステム側入出力バッファ回路とを含んで成り、

上記半導体メモリは、上記内部コア電源電圧を参照として取り込んで、上記内部コア電源電圧にほぼ等しい内部電源電圧を生成する内部電源回路と、

上記内部電源電圧が供給されることにより、上記システム側入出力バッファ回路との間で信号のやり取りを可能とするメモリ側入出力バッファ回路と、を含んで成ることを特徴とする半導体装置。

【請求項8】 上記半導体メモリは、上記内部コア電源電圧を参照電圧として取り込むための専用の外部端子を含む請求項7記載の半導体装置。

【請求項9】 上記マイクロプロセッサは、上記電源電圧の供給によって動作される内部回路を含む請求項8記載の半導体装置。

【請求項10】 上記内部電源回路は、上記外部端子を介して取り込まれた電源電圧と、上記内部電源回路の出力電圧とを比較するための差動回路と、

上記差動回路での比較結果に基づいて、上記内部電源電圧のレベルを決定するための電圧出力回路と、を含んで成る請求項9記載の半導体装置。

【請求項11】 上記マイクロプロセッサは、クロック信号を外部出力可能なクロックドライバを含み、

上記半導体メモリは、上記マイクロプロセッサにおける上記クロックドライバを介して出力されたクロック信号を取り込むためのクロックバッファと、

上記クロックバッファを介して取り込まれたクロック信号に同期動作する論理回路と、を含んで成る請求項7記載の半導体装置。

【請求項12】 上記マイクロプロセッサと上記半導体メモリとは、互いに

別チップで形成され、且つ、それらが樹脂モールドされることで一体化された請求項1乃至11の何れか1項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、複数の半導体チップが共通の配線基板上に搭載されて組み立てられるマルチチップモジュールに適用して有効な技術に関する。

【0002】

【従来の技術】

最近、共通の配線基板にマイクロプロセッサ、メモリ等の複数のLSIチップを搭載して、小型のコンピュータシステムを構成するようにしたマルチチップモジュール技術が普及してきている（例えば特許文献1参照）。

【0003】

このマルチチップモジュールにおいては、予めパターニングされたプリント基板、セラミック基板等の配線基板を用いて、この共通の配線基板上に複数のベアのLSIチップを配置して、LSIチップのパッド電極と配線基板上のパターン（導電層）とを、ワイヤーボンディング法、フリップチップ法等によって接続して実装することが行われる。複数のベアのLSIチップは、平面的に配置される場合と、積み重ねられる場合とがある。複数のベアのLSIチップが積み重ねられる場合の例としては、大容量のSRAM（スタティック・ランダム・アクセス・メモリ）を省いたモバイル用システムLSI上に、SRAMを載置して成るものがある。

【0004】

また、信号出力回路から異なる電圧で動作する外部回路に対して出力される信号のレベルを、プルアップ抵抗などの外付け部品を用いることなく適正に変換して送信するための技術として、最終出力段以外は5Vの駆動用電源によって駆動されるLSIの最終出力段に、上記駆動用電源とは独立に駆動用電源が供給されたインバータゲートを配置し、そのインバータゲートの電源入力端子に、LSI

の出力信号が与えられる L S I の駆動用電源を電源線を介して接続する技術が知られている（例えば特許文献 2 参照）。

【0005】

【特許文献 1】

特許公開平 9-331016 号公報

【特許文献 2】

特開平 11-41089 号公報

【0006】

【発明が解決しようとする課題】

大容量の S R A M を内蔵するシングルチップ型モバイル用マイクロプロセッサに対して、大容量の S R A M を省いたモバイル用マイクロプロセッサ上に、汎用の低消費電力型 S R A M を載置して成るマルチチップモジュールにおいては、各チップ毎に、コア電圧とインターフェース電圧との 2 種類の電圧を有するため、マイクロプロセッサと外付け S R A M との間で信号のやり取りを行う場合に、マイクロプロセッサにおける I / O 部と、 S R A M チップにおける I / O 部とで、それぞれ個別的にレベルシフトが行われることから、高速メモリアクセスが阻害されることが本願発明者によって見いだされた。

【0007】

本発明の目的は、半導体装置において高速メモリアクセスを可能とするための技術を提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

すなわち、マイクロプロセッサと半導体メモリを含んで半導体装置が構成され

るとき、マイクロプロセッサは、電源電圧が供給されることにより、外部との間で信号のやり取りを可能とするシステム側入出力バッファ回路を含んで構成し、上記半導体メモリは、上記電源電圧を参照電圧として取り込んで、上記電源電圧にはほぼ等しい内部電源電圧を生成する内部電源回路と、上記内部電源電圧が供給されることにより、上記システム側入出力バッファ回路との間で信号のやり取りを可能とするメモリ側入出力バッファ回路とを含んで構成する。

【0011】

上記の手段によれば、マイクロプロセッサの電源電圧を参照電圧として半導体メモリに取り込み、それに基づいて生成された内部電源電圧を半導体メモリにおけるメモリ側入出力バッファ回路に供給することにより、メモリ側入出力バッファ回路の信号レベルをシステム側入出力バッファ回路に合わせることができる。このことが、マイクロプロセッサ側のレベルシフトを不要とし、マイクロプロセッサから半導体メモリの高速アクセスを可能とする。

【0012】

このとき、上記半導体メモリは、上記電源電圧を参照電圧として取り込むための専用の外部端子を含んで構成することができる。また、上記マイクロプロセッサは、上記電源電圧の供給によって動作される内部回路を含んで構成することができる。上記内部電源回路を簡単に構成するには、取り込まれた電源電圧と、上記内部電源回路の出力電圧とを比較するための差動回路と、上記差動回路での比較結果に基づいて、上記内部電源電圧のレベルを決定するための電圧出力回路とを含んで構成すると良い。

【0013】

上記半導体メモリには、上記内部電源電圧よりも高いレベルの第2内部電源電圧が供給されることによって動作されるメモリ内部回路を設け、上記メモリ側入出力バッファ回路には、上記内部電源電圧レベルの信号を上記第2内部電源電圧レベルの信号にシフト可能なレベルシフト回路を設けることができる。

【0014】

上記半導体メモリには、上記内部電源電圧よりも低いレベルの第3内部電源電圧を発生させるための降圧回路と、上記第3内部電源電圧が供給されることによ

って動作されるメモリ内部回路と設け、上記メモリ側入出力バッファ回路には、上記第3内部電源電圧レベルの信号を上記内部電源電圧レベルの信号にシフト可能なレベルシフト回路を設けることができる。

【0015】

また、上記マイクロプロセッサが、外部から与えられた電源電圧を降圧することで内部コア電源電圧を生成する内部コア電源回路と、上記内部コア電源電圧の供給によって動作され、外部との間で信号のやり取りを可能とするシステム側入出力バッファ回路とを含んで構成されるとき、上記半導体メモリは、上記内部コア電源電圧を参照として取り込んで、上記内部コア電源電圧にはほぼ等しい内部電源電圧を生成する内部電源回路と、上記内部電源電圧が供給されることにより、上記システム側入出力バッファ回路との間で信号のやり取りを可能とするメモリ側入出力バッファ回路とを含んで構成することができる。

【0016】

上記半導体メモリがクロック同期型とされる場合には、上記マイクロプロセッサには、クロック信号を外部出力可能なクロックドライバを設け、上記半導体メモリには、上記マイクロプロセッサにおける上記クロックドライバを介して出力されたクロック信号を取り込むためのクロックバッファと、上記クロックバッファを介して取り込まれたクロック信号に同期動作する論理回路とを設けることができる。

【0017】

上記マイクロプロセッサと上記半導体メモリとは、互いに別チップで形成し、それらを樹脂モールドすることで一体化することができる。

【0018】

【発明の実施の形態】

図2には、本発明にかかる半導体装置の一例であるマルチチップモジュールが示される。図2に示されるマルチチップモジュール1は、特に制限されないが、システムLSIなどと称されるマイクロプロセッサ10と、それによってアクセス可能なSRAM（スタティック・ランダム・アクセス・メモリ）20とが基板30に載置され、樹脂モールドなどによって一体化されて成る。マイクロプロセ

ツサ10、SRAM20、及び基板30には、それぞれボンディングパッド11-1～11-n、21-1～21-n、及び31-1、31-2が形成され、それらがボンディングワイヤで結合されることによって、信号のやり取りや電源供給が可能とされる。SRAM20は、マイクロプロセッサ10での処理における作業領域などとして使用される。このため、マイクロプロセッサ10には、作業領域などとして使用されるSRAMは内蔵されていない。

【0019】

図3には、上記マイクロプロセッサ10の構成例が示される。

【0020】

マイクロプロセッサ10は、特に制限されないが、図3に示されるように、中央処理装置(CPU)101、リードオンリーメモリ(ROM)102、システム側入出力バッファ回路103、ダイレクトメモリアクセスコントローラ(DMAC)104、及びバスステートコントローラ(BSC)105を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。CPU101、ROM102、システム側入出力バッファ回路103、DMAC104、及びBSC105は、バス106によって信号のやり取り可能に結合される。

【0021】

ROM102は、CPU101で実行されるプログラムを保持する。システム側入出力バッファ回路103は、後に詳述するように、ボンディングパッドを介して外部との間で各種信号のやり取りを可能とする。特にCPU101は、システム側入出力バッファ回路103を介して上記SRAM20のアクセスを行うことができる。DMAC104は、図示されないチップ内外のメモリ間や、内蔵周辺モジュール間でのDMA転送を制御する。BSC105は、例えばウェイトサイクルの挿入などのバスステート制御を行う。

【0022】

図4には、上記SRAM20の構成例が示される。

【0023】

SRAM20は、特に制限されないが、図4に示されるように、メモリセルア

レイ201、ロウデコーダ202、コントローラ203、カラム選択回路204、カラムデコーダ205、メモリ側入出力バッファ回路206、及び内部電源回路207を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

【0024】

メモリセルレイ201は、複数のワード線と、それに交差するように配置された複数のビット線と、上記ワード線と上記ビット線との交差箇所に配置された複数のスタティック型メモリセルとを含んで成る。ロウデコーダ202は、ロウアドレス信号をデコードすることにより、上記複数のワード線から1本のワード線を選択レベルに駆動するための信号を生成する。カラム選択回路204は、上記複数のビット線を選択的にコモン線に結合させるための複数のカラム選択スイッチを含んで成る。カラムデコーダ205は、カラムアドレス信号をデコードすることにより、上記カラム選択スイッチの駆動信号を生成する。メモリ側入出力バッファ回路206は、上記コモン線のデータを外部出力するための出力回路と、上記メモリセルレイ201への書き込みデータを外部から取り込むための入力回路とを含む。コントローラ203は、外部から与えられる制御信号に従って各部の動作タイミング信号を生成する。内部電源回路207は、マイクロプロセッサ10で使用される電源電圧を参照電圧として取り込んで内部電源電圧VDD'を生成する。生成された内部電源電圧VDD'は、主としてメモリ側入出力バッファ回路206に供給される。

【0025】

図1には、上記マイクロプロセッサ10における主要部と、上記SRAM20における主要部とが示される。

【0026】

マイクロプロセッサ10においては、ボンディングパッド11-1, 11-2が、それぞれ基板30におけるボンディングパッド30-1, 30-2にボンディングされることにより、高電位側電源VCC、及び高電位側電源VDDの取り込みが可能とされる。特に制限されないが、高電位側電源VCCは3.3Vとされ、高電位側電源VDDは1.5Vとされる。高電位側電源VDDは、CPU1

01、ROM102、システム側入出力バッファ回路103、DMAC104、及びBSC105など、マイクロプロセッサ10におけるコア部分に供給される。この場合、CPU101、ROM102、システム側入出力バッファ回路103、DMAC104、及びBSC105間でやり取りされる各種信号のローレベルは低電位側電源VSS（グランド）レベル、ハイレベルは高電位側電源VDD（=1.5V）レベルとされる。

【0027】

複数のボンディングパッド11-3～11-nは、SRAM20における複数のボンディングパッド21-3～21-nに、ボンディングワイヤによって結合される。

【0028】

システム側入出力バッファ回路103は、複数のボンディングパッド11-3～11-nに対応する複数の入出力バッファ103-3～103-nを含む。そのうちの一つである入出力バッファ103-3は次のように構成される。

【0029】

バス106の所定ビットの論理とライトイネーブル信号WEとの NAND論理を得る NANDゲート71と、この NANDゲート71の出力信号によって動作制御される pチャネル型MOSトランジスタ73と、SRAM20への書き込みデータの有効性を示すライトイネーブル信号WEの論理を反転するためのインバータ70と、このインバータ70の出力信号と上記バス106の所定ビットの論理とのノア論理を得るノアゲート72と、このノアゲート72の出力信号によって動作制御される nチャネル型MOSトランジスタ74とが結合されることで、上記ライトイネーブル信号WEがハイレベルにアサートされた期間に上記バス106の所定ビットの論理をボンディングパッド11-3に伝達するための出力バッファが形成される。また、ボンディングパッド11-3の論理とSRAM20からの読み出しデータの有効性を示すリードイネーブル信号REとの NAND論理を得る NANDゲート81と、この NANDゲート81の出力信号によって動作制御される pチャネル型MOSトランジスタ83と、リードイネーブル信号REの論理を反転するためのインバータ80と、このインバータ80の出力信号とボンディングパッ

ド11-3の論理とのノア論理を得るノアゲート82と、このノアゲート82の出力信号によって動作制御されるnチャネル型MOSトランジスタ84とが結合されることで、上記リードイネーブル信号REがハイレベルにアサートされた期間に上記ボンディングパッド11-3の論理をバス106に伝達するための入力バッファが形成される。上記リードイネーブル信号REがローレベルにネゲートされた期間では、MOSトランジスタ83, 84の双方がオフされることにより、バス106に対して高インピーダンス状態とされる。

【0030】

他のボンディングパッド11-nに対応する入出力バッファ103-nも、上記入出力バッファ103-3と同様に構成される。

【0031】

尚、アドレス信号や各種制御信号の場合には、マイクロプロセッサ10からSRAM20に対して出力されるのみで、SRAM20からマイクロプロセッサ10に取り込まれることはない。従って、アドレス信号や各種制御信号の端子（パッド）に対応するバッファにおいては、入力バッファを省略し、出力バッファのみとすることができる。

【0032】

上記構成のシステム側入出力バッファ回路103によれば、ライトイネーブル信号WEがハイレベルにアサートされた期間において、バス106の信号を、ボンディングパッド11-3～11-nを介してSRAM20に伝達することができる。また、リードイネーブル信号REがハイレベルにアサートされた期間においては、SRAM20から伝達された信号をボンディングパッド11-3～11-n経由で取り込み、それをバス106に伝達することができる。

【0033】

次に、SRAM20においては、ボンディングパッド21-1, 21-2が、それぞれ基板30におけるボンディングパッド30-1, 30-2にボンディングされることにより、高電位側電源VCC、及び高電位側電源VDDの取り込みが可能とされる。高電位側電源VCCは、コントローラ203や、ロウデコーダ202、カラムデコーダ205、内部電源回路207などに供給される。高電位

側電源VDDは内部電源回路207に参照電圧として取り込まれる。

【0034】

内部電源回路207は、ボンディングパッド21-2を介して伝達された高電位側電源VDD（この電源VDDはマイクロプロセッサ10におけるシステム側入出力バッファ回路103へも供給される）を参照電圧Vrefとして取り込んで内部電源電圧VDD'を生成する。ここで、内部電源電圧VDD'の電位レベルは、高電位側電源VDDの電位レベルにほぼ等しくされる。内部電源回路207は次のように構成される。

【0035】

ボンディングパッド21-2を介して伝達された高電位側電源VDDに含まれるノイズ成分を除去するためのキャパシタ46が設けられる。この高電位側電源VDDはnチャネル型MOSトランジスタ42のゲート電極に伝達される。nチャネル型MOSトランジスタ42に、nチャネル型MOSトランジスタ41が差動結合される。このMOSトランジスタ41, 42のドレイン電極はカレントミラー型の負荷を形成するpチャネル型MOSトランジスタ44, 45を介して高電位側電源VCCに結合される。また、MOSトランジスタ41, 42のソース電極は定電流源43を介して低電位側電源VSSに結合される。MOSトランジスタ42のドレイン電極側から差動対の出力信号が得られる。差動対の出力信号は、pチャネル型MOSトランジスタ47のゲート電極に伝達される。pチャネル型MOSトランジスタ47のソース電極は高電位側電源VCCに結合され、pチャネル型MOSトランジスタ47のドレイン電極は、抵抗48を介して低電位側電源VSSに結合される。差動対の出力信号に応じて抵抗48に流れる電流が制御されることで、内部電源回路207の出力電圧VDD'のレベルが決定される。このような意味で、pチャネル型MOSトランジスタ47と抵抗48との直列回路を電圧出力回路と称する。内部電源回路207の出力電圧VDD'が、MOSトランジスタ41に伝達されることによって、高電位側電源VDDと、内部電源回路207の出力電圧VDD'との差分が得られ、この差分に基づいて、抵抗48に流れる電流がMOSトランジスタ47で制御されることにより、内部電源回路207の出力電圧VDD'は、高電位側電源VDDにほぼ等しくされる。

そしてこの内部電源回路207の出力電圧VDD'は、メモリ側入出力バッファ回路206に供給される。

【0036】

メモリ側入出力バッファ回路206は、複数のボンディングパッド21-3～21-nに対応して配置された複数の入出力バッファを有する。そのうちの一つである入出力バッファ206-3は次のように構成される。

【0037】

出力信号OUT1とアウトプットイネーブル信号OEとの NAND論理を得る NANDゲート51と、この NANDゲート51の出力信号によって動作制御される p チャネル型MOSトランジスタ53と、アウトプットイネーブル信号OEの論理を反転するためのインバータ50と、このインバータ50の出力信号と上記出力信号OUT1とのノア論理を得るノアゲート52と、このノアゲート52の出力信号によって動作制御される n チャネル型MOSトランジスタ54とが結合されることで、上記アウトプットイネーブル信号OEがハイレベルにアサートされた期間に上記出力信号OUT1をボンディングパッド21-3に伝達するための出力バッファが形成される。ここで、 NANDゲート51、インバータ50、及びノアゲート52の電源電圧は、高電位側電源VCCとされるが、 p チャネル型MOSトランジスタ53のソース電極に内部電源VDD'が供給されるため、入出力バッファ206-3から出力される信号のハイレベルは、内部電源VDD' レベルであり、それは高電位側電源VDD レベルにほぼ等しい。

【0038】

また、ボンディングパッド21-3の信号と、ライトイネーブル信号WEとのノア論理がノアゲート61で得られ、このノアゲート61の出力信号が、後段のレベルシフト回路で、高電位側電源VCC レベルに変換されるようになっている。上記レベルシフト回路は、上記ノアゲート61の出力信号の論理を反転するインバータ60、 p チャネル型MOSトランジスタ58, 59、及び n チャネル型MOSトランジスタ56, 57を含んで成る。 p チャネル型MOSトランジスタ58と n チャネル型MOSトランジスタ56とが直列接続され、 p チャネル型MOSトランジスタ59と n チャネル型MOSトランジスタ57とが直列接続され

る。pチャネル型MOSトランジスタ58, 59のソース電極は高電位側電源VCCに結合される。nチャネル型MOSトランジスタ56, 57のソース電極は低電位側電源VSSに結合される。pチャネル型MOSトランジスタ58とnチャネル型MOSトランジスタ56との直列接続ノードは、pチャネル型MOSトランジスタ59のゲート電極に結合されるとともに、SRAM20における内部回路に結合される。pチャネル型MOSトランジスタ59とnチャネル型MOSトランジスタ57との直列接続ノードは、pチャネル型MOSトランジスタ58のゲート電極に結合される。ノアゲート61の出力信号はnチャネル型MOSトランジスタ57のゲート電極に伝達され、また、インバータ60を介してnチャネル型MOSトランジスタ56のゲート電極に結合される。ノアゲート61やインバータ60の電源は、内部電源VDD' とされるが、pチャネル型MOSトランジスタ58, 59のソース電極に高電位側電源VCCが供給されることから、内部電源VDD' レベルの信号が高電位側電源VCCレベルの信号IN1に変換されてから内部回路に伝達される。

【0039】

他の入出力バッファ206-nも同様に構成される。

【0040】

尚、アウトプットイネーブル信号OE、ライトイネーブル信号WEなどの各種制御信号や、アドレス信号などは、マイクロプロセッサ10からSRAM20へ伝達されるが、それとは逆にSRAM20からマイクロプロセッサ10へ伝達されることはない。従って、SRAM2において、アウトプットイネーブル信号OE、ライトイネーブル信号WEなどの各種制御信号や、アドレス信号などを取り込む端子（パッド）に対応するバッファには、出力バッファを省略し、入力バッファのみとすることができます。

【0041】

上記の例によれば、以下の作用効果を得ることができる。

【0042】

(1) SRAM20においては、マイクロプロセッサ10のコア電圧(VDD)として使用される高電位側電源VDDを参照電圧として取り込んで、この高電

位側電源VDDの電圧にはほぼ等しい内部電源電圧VDD'を生成し、この内部電源電圧VDD'がメモリ側入出力バッファ回路206の動作用電源として供給される。このため、マイクロプロセッサ10におけるシステム側入出力バッファ回路103においては、レベルシフトが不要となり、比較的簡単な構成のシステム側入出力バッファ回路103を介して、メモリ側入出力バッファ回路206をマイクロプロセッサ10におけるバス106に結合させることができる。このため、マイクロコンピュータ10とSRAM20との双方でレベルシフトを行う従来回路に比べて、マイクロプロセッサ10とSRAM20との間でやり取りされる信号の高速化を図ることができる。

【0043】

(2) マイクロプロセッサ10のコア電圧(VDD)を参照電圧としてこの高電位側電源VDDの電圧にはほぼ等しい内部電源電圧VDD'を生成しているため、マイクロプロセッサ10のコア電圧(VDD)が変更された場合でも、マイクロコンピュータ10とSRAM20との間のインターフェースレベルが整合されるため、SRAM20は、マイクロプロセッサ10の品種展開に対して汎用性を有する。

【0044】

図5には、上記SRAM20の別の構成例が示される。

【0045】

図5に示されるSRAM20が、図1に示されるのと大きく相違するのは、高電位側電源VCCを降圧することにより内部電源VDDiを生成する降圧回路90が設けられている点と、メモリ側入出力バッファ回路206において、内部電源VDDi系の信号を内部電源VDD'系の信号にレベルシフトするためのレベルシフト回路が設けられている点である。

【0046】

上記内部電源VDDiは、内部電源VDD'の電圧レベルよりも低い電圧レベルとされる。特に制限されないが、内部電源VDD'が1.5Vとされるとき、内部電源VDDiは1.3Vとされる。SRAM20におけるロウデコーダ202、コントローラ203、カラム選択回路204や、カラムデコーダ205など

の内部回路は、上記内部電源VDDiが供給されることで動作される。

【0047】

メモリ側入出力バッファ回路206は、複数のボンディングパッド21-3～21-nに対応して配置された複数の入出力バッファを有する。そのうちの一つである入出力バッファ206-3は次のように構成される。

【0048】

図5に示される入出力バッファ206-3が、図1に示されるのと大きく相違するのは、出力信号OUT1の信号レベルを内部電源VDD'系に変換するためのレベルシフト回路91と、アウトプットイネーブル信号OEの信号レベルを内部電源VDD'系に変換するためのレベルシフト回路92とが設けられる点である。レベルシフト回路91は、出力信号OUT1の論理を反転するインバータ915、pチャネル型MOSトランジスタ911、912、及びnチャネル型MOSトランジスタ913、914を含んで成る。pチャネル型MOSトランジスタ911とnチャネル型MOSトランジスタ913とが直列接続され、pチャネル型MOSトランジスタ912とnチャネル型MOSトランジスタ914とが直列接続される。pチャネル型MOSトランジスタ911、912のソース電極は内部電源VDD'に結合される。nチャネル型MOSトランジスタ913、914のソース電極は低電位側電源VSSに結合される。pチャネル型MOSトランジスタ912とnチャネル型MOSトランジスタ914との直列接続ノードは、pチャネル型MOSトランジスタ911のゲート電極に結合されるとともに、 NANDゲート51の入力端子及びノアゲート52の入力端子に結合される。pチャネル型MOSトランジスタ911とnチャネル型MOSトランジスタ913との直列接続ノードは、pチャネル型MOSトランジスタ912のゲート電極に結合される。これにより、出力信号OUT1は、内部電源VDDi系の信号レベルから内部電源電圧VDD'系の信号レベルにシフトされる。

【0049】

レベルシフト回路92は、アウトプットイネーブル信号OEの論理を反転するインバータ925、pチャネル型MOSトランジスタ921、922、及びnチャネル型MOSトランジスタ923、924を含んで成る。pチャネル型MOS

トランジスタ921とnチャネル型MOSトランジスタ923とが直列接続され、pチャネル型MOSトランジスタ922とnチャネル型MOSトランジスタ924とが直列接続される。pチャネル型MOSトランジスタ921, 922のソース電極は内部電源VDD'に結合される。nチャネル型MOSトランジスタ923, 924のソース電極は低電位側電源VSSに結合される。pチャネル型MOSトランジスタ922とnチャネル型MOSトランジスタ924との直列接続ノードは、pチャネル型MOSトランジスタ921のゲート電極に結合されるとともに、 NANDゲート51の入力端子に結合される。pチャネル型MOSトランジスタ921とnチャネル型MOSトランジスタ923との直列接続ノードは、pチャネル型MOSトランジスタ922のゲート電極に結合されるとともに、ノアゲート52の入力端子に結合される。これにより、アウトプットイネーブル信号OEは、内部電源VDDi系の信号レベルから内部電源電圧VDD'系の信号レベルにシフトされる。

【0050】

このようにSRAM20の内部回路に供給される内部電源VDDiが内部電源電圧VDD'よりも低いレベルとされる場合には、メモリ側入出力バッファ回路206において、レベルシフト回路91, 92を設け、内部電源VDDi系の信号レベルを内部電源電圧VDD'系の信号レベルにシフトすれば良い。かかる構成においても、図1に示される場合と同様の作用効果を得ることができる。

【0051】

図6には、上記マルチチップモジュール1の別の構成例が示される。

【0052】

図6に示されるマルチチップモジュール1が、図2に示されるのと大きく相違するのは、基板30に高電位側電源VDDのボンディングパッドが省略され、マイクロプロセッサ10のボンディングパッド11-2と、SRAM20のボンディングパッド21-2とがボンディングワイヤによって結合されている点である。

【0053】

図7には、図6に示されるマイクロプロセッサ10とSRAM20との主要部

が示される。

【0054】

図6に示されるマイクロプロセッサ10が、図1に示されるのと大きく相違するのは、高電位側電源VCCを降圧することによって高電位側電源VDDを生成する内部コア電源回路100を備える点である。特に制限されないが、高電位側電源VCCは3.3V、内部コア電源VDDは1.5Vとされる。この内部コア電源VDDは、図3に示されるCPU101、ROM102、DMAC104、及びBSC105などの内部コア（内部回路）、及びシステム側入出力バッファ回路103に供給される。

【0055】

そして、上記内部コア電源回路100において生成された内部コア電源VDDは、マイクロプロセッサ10のボンディングパッド11-2、及びSRAM20のボンディングパッド21-2を介して内部電源回路207に、参照電圧Vrefとして伝達される。つまり、図1に示される構成では、参照電圧Vrefは、基板30のボンディングパッド30-2を介して伝達されたが、図7に示される構成では、マイクロプロセッサ10における内部コア電源回路100で生成された電圧が参照電圧Vrefとして利用される。

【0056】

尚、その他の構成については、図1に示される場合と同一とされる。

【0057】

このように、マイクロプロセッサ10における内部コア電源回路100で生成されたコア電圧（VDD）が参照電圧Vrefとして利用する場合においても、図1に示される場合と同様の作用効果を得ることができる。

【0058】

また、マイクロプロセッサ10における内部コア電源回路100で生成されたコア電圧（VDD）がSRAM20に伝達される場合において、このコア電圧（VDD）をそのままメモリ側入出力バッファ回路206へ供給することができる。しかし、マイクロプロセッサ10における内部コア電源回路100に十分な電流容量が無い場合には、コア電圧（VDD）の電圧レベルが不所望に低下す

るおそれがある。これに対して、図7に示されるように、マイクロプロセッサ10における内部コア電源回路100で生成された電圧を参照電圧V_{ref}として取り込み、それに基づいて内部電源回路207で内部電源V_{DD'}を生成する場合には、参照電圧V_{ref}自体の消費が極めて少ないため、マイクロプロセッサ10における内部コア電源回路100に十分な電流容量が無い場合においても、コア電圧（V_{DD}）の電圧レベルが不所望に低下するのを回避することができるという利点がある。

【0059】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0060】

例えば、マイクロプロセッサ10からS_RAM20へクロック信号を供給し、S_RAM20の主要部をこのクロック信号に同期動作させることができる。この場合、S_RAM20は、クロック同期型とされる。例えば図8に示されるように、マイクロプロセッサ10において、内部クロック生成回路107と、クロックドライバ回路108を設ける。内部クロック発生回路107は、基板30（図2参照）に設けられたボンディングパッド30-3及びマイクロプロセッサ10に設けられたボンディングパッド11-CLK1を介して取り込まれたクロック信号に基づいて内部クロック信号int. CLKを生成する。この内部クロック信号int. CLKは、マイクロプロセッサ10の内部回路に供給されるとともに、クロックドライバ回路108に伝達される。クロックドライバ回路108は、伝達された内部クロック信号int. CLKに基づいて、外部負荷を駆動する。これにより、内部クロック信号int. CLKが、マイクロプロセッサ10のボンディングパッド11-CLK2、及びS_RAM20のボンディングパッド21-CLK1を介してS_RAM20の内部に伝達される。

【0061】

S_RAM20は、クロック信号用の入力バッファ回路208と、このクロック信号用の入力バッファ回路208でバッファリングされたクロック信号に同期動

作されるD型フリップフロップ回路209とを備える。SRAM20からマイクロプロセッサ10に伝達される信号は、D型フリップフロップ回路209においてクロック信号に同期されてから入出力バッファ206nの出力バッファに伝達され、この出力バッファを介してマイクロプロセッサ10に伝達される。

【0062】

上記入力バッファ回路208は、インバータ93, 94, 95、pチャネル型MOSトランジスタ98, 99、nチャネル型MOSトランジスタ96, 97を含む。

【0063】

pチャネル型MOSトランジスタ98とnチャネル型MOSトランジスタ96とが直列接続され、pチャネル型MOSトランジスタ99とnチャネル型MOSトランジスタ97とが直列接続される。pチャネル型MOSトランジスタ98, 99のソース電極は高電位側電源VCCに結合される。nチャネル型MOSトランジスタ96, 97のソース電極は低電位側電源VSSに結合される。pチャネル型MOSトランジスタ98とnチャネル型MOSトランジスタ96との直列接続ノードは、pチャネル型MOSトランジスタ99のゲート電極に結合されるとともに、インバータ93を介して内部回路やD型フリップフロップ回路209に伝達される。

【0064】

pチャネル型MOSトランジスタ99とnチャネル型MOSトランジスタ97との直列接続ノードは、pチャネル型MOSトランジスタ98のゲート電極に結合される。インバータ94の出力信号はnチャネル型MOSトランジスタ97のゲート電極に伝達され、また、インバータ95を介してnチャネル型MOSトランジスタ96のゲート電極に結合される。インバータ94, 95の電源は、内部電源VDD' とされるが、pチャネル型MOSトランジスタ98, 99のソース電極に高電位側電源VCCが供給されることから、内部電源VDD' レベルの信号が高電位側電源VCCレベルの信号に変換されてから内部回路やD型フリップフロップ回路209に伝達される。これにより、内部回路やD型フリップフロップ回路209は、マイクロプロセッサ10において使用されている内部クロック

信号 i n t . C L K に同期動作される。

【0065】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロプロセッサと S R A M とが積み重ねられる場合について説明したが、マイクロプロセッサと、 S R A M などの半導体メモリとが平面的に並べられる場合にも本発明を適用することができる。

【0066】

本発明は、少なくともマイクロプロセッサとそれによってアクセス可能な半導体メモリとを含むことを条件に適用することができる。

【0067】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0068】

すなわち、マイクロプロセッサの電源電圧を参照電圧として半導体メモリに取り込み、それに基づいて生成された内部電源電圧を半導体メモリにおけるメモリ側入出力バッファ回路に供給することにより、メモリ側入出力バッファ回路の信号レベルをシステム側入出力バッファ回路に合わせさせることができるために、マイクロプロセッサ側のレベルシフトが不要とされ、マイクロプロセッサから半導体メモリの高速アクセスが可能とされる。

【図面の簡単な説明】

【図 1】

本発明にかかる半導体装置の一例であるマルチチップモジュールにおける主要部の構成例回路図である。

【図 2】

上記マルチチップモジュールの斜視図である。

【図 3】

上記マルチチップモジュールに含まれるマイクロプロセッサの構成例ブロック図である。

【図4】

上記マルチチップモジュールに含まれるS R A Mの構成例ブロック図である。

【図5】

上記マルチチップモジュールにおける主要部の別の構成例回路図である。

【図6】

本発明にかかる半導体装置の一例である別のマルチチップモジュールの斜視図である。

【図7】

図6に示されるマルチチップモジュールにおける主要部の構成例回路図である。

【図8】

上記マルチチップモジュールにおける主要部の別の構成例回路図である。

【符号の説明】

1 0 マイクロプロセッサ

1 1 - 1 ~ 1 1 - n ボンディングパッド

2 0 S R A M

2 1 - 1 ~ 2 1 - n ボンディングパッド

3 0 基板

3 1 - 1 ~ 3 1 - n ボンディングパッド

9 0 降圧回路

1 0 0 内部コア電源回路

1 0 1 C P U

1 0 2 R O M

1 0 3 システム側入出力バッファ

1 0 4 D M A C

1 0 5 B S C

1 0 6 バス

2 0 1 メモリセルアレイ

2 0 2 ロウデコーダ

203 コントローラ

204 カラム選択回路

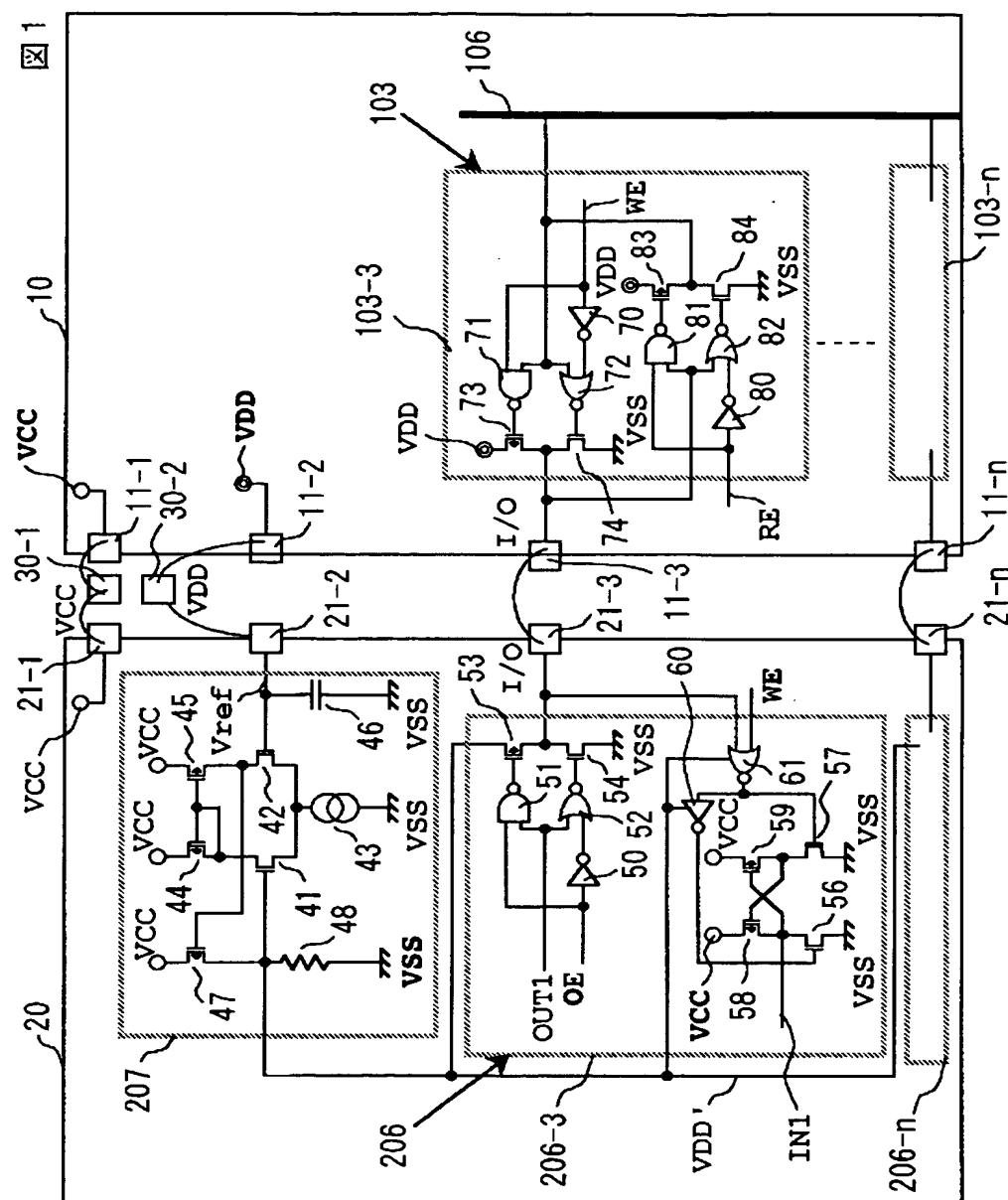
205 カラムデコーダ

206 メモリ側入出力回路

207 内部電源回路

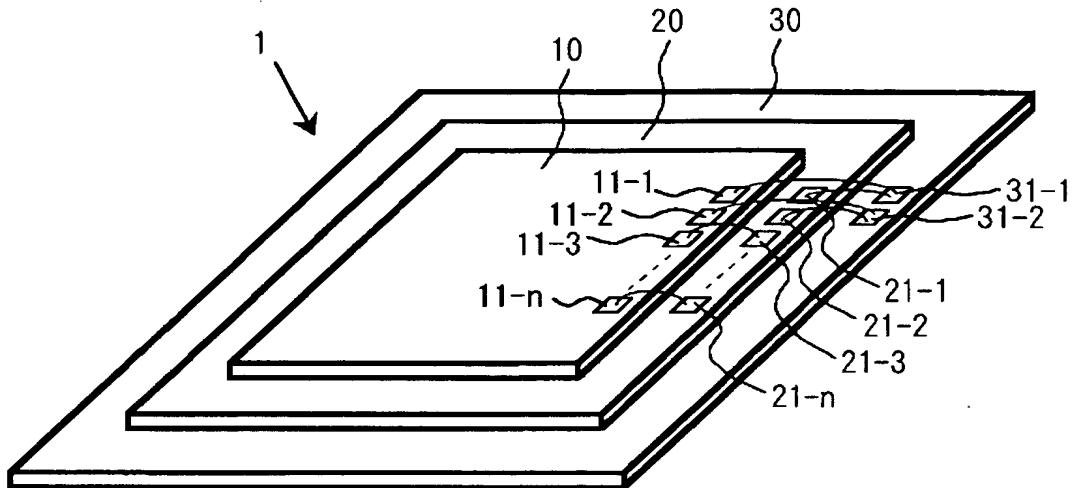
【書類名】 図面

【図1】



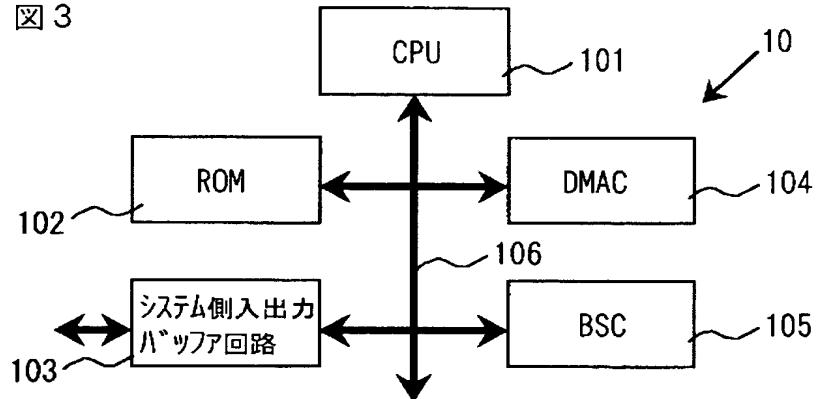
【図2】

図2



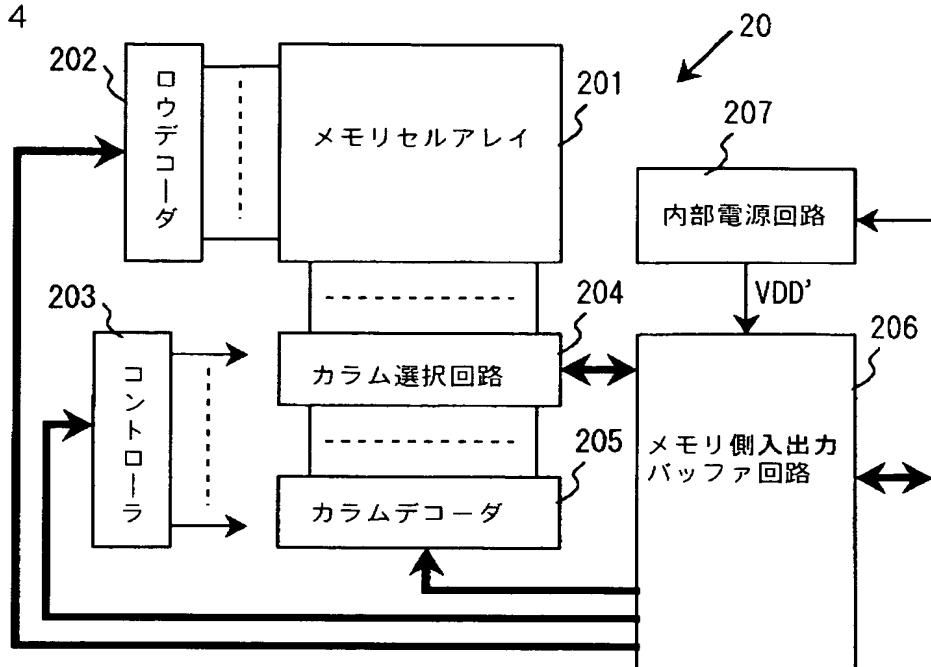
【図3】

図3



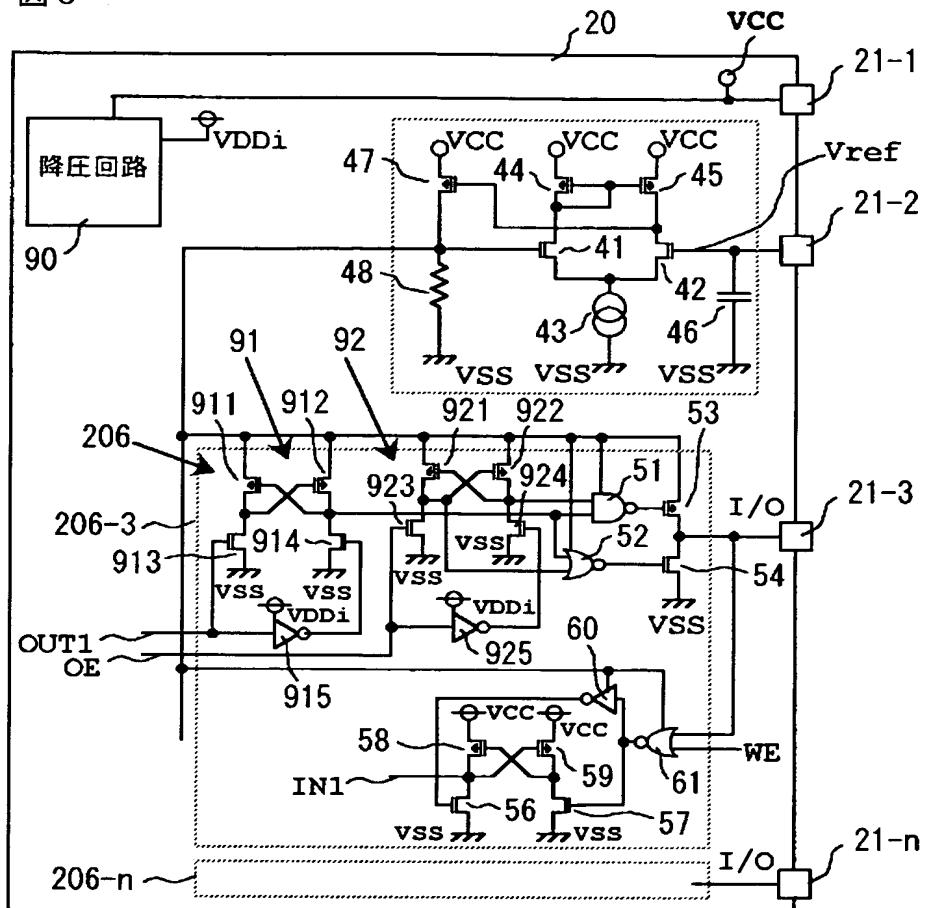
【図4】

図4



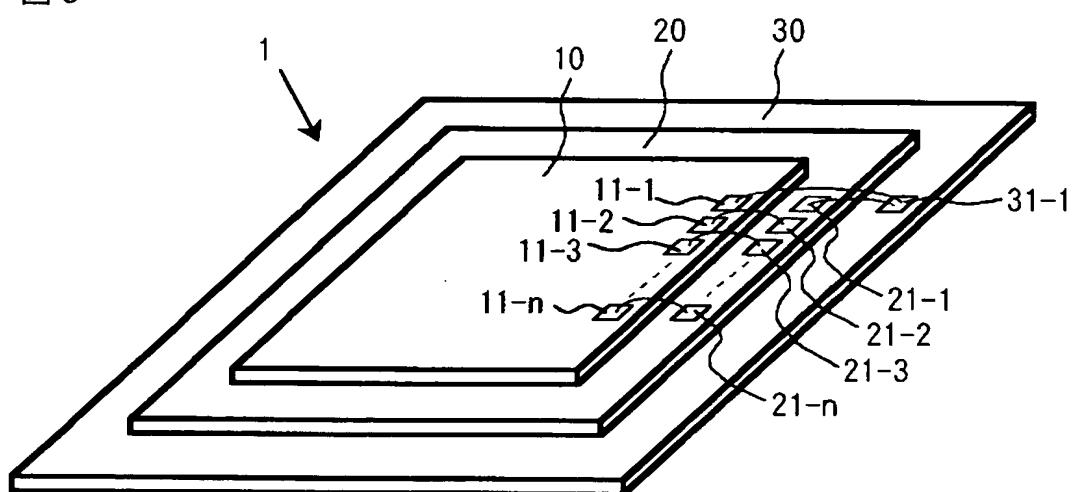
【図5】

図5

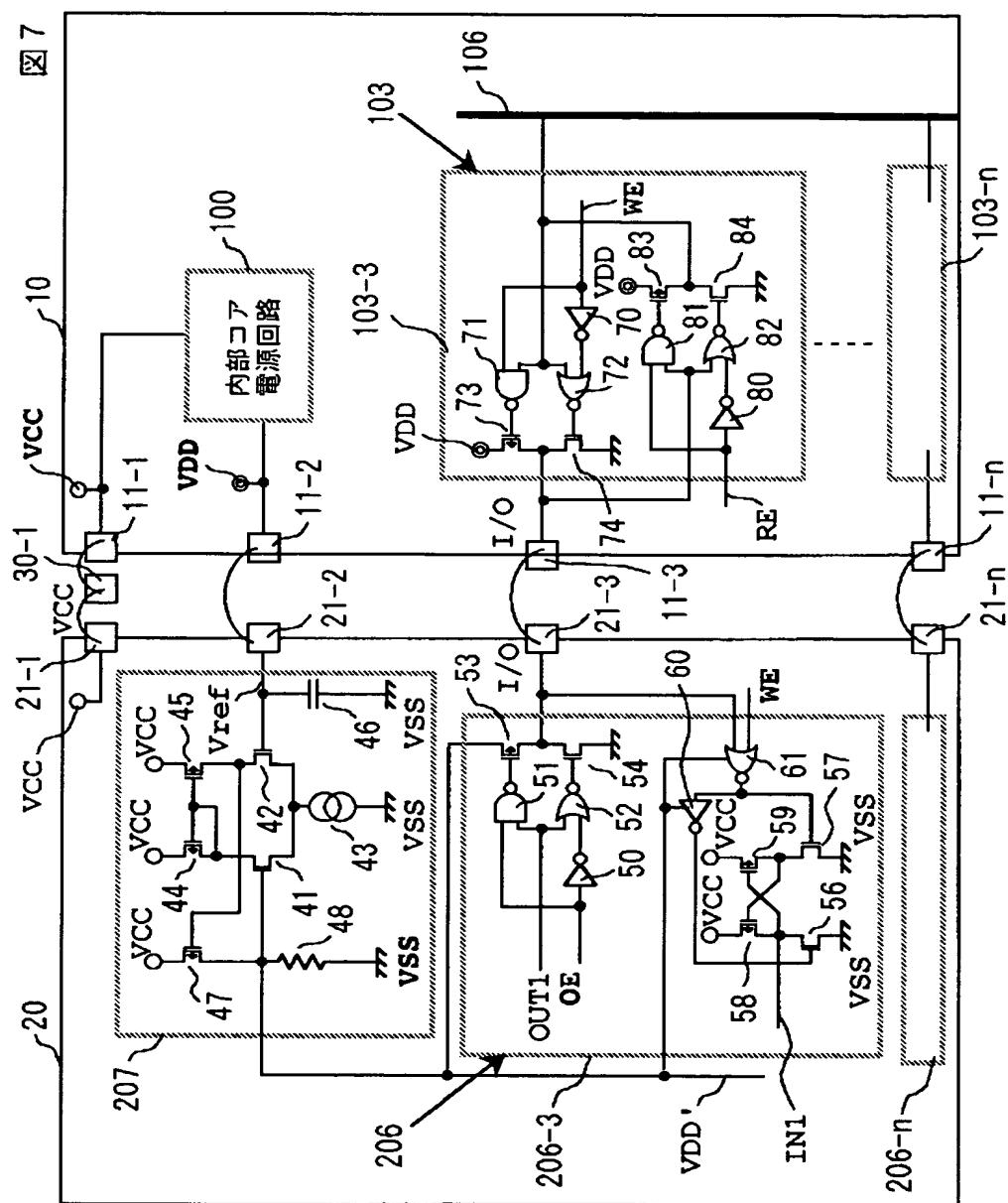


【図6】

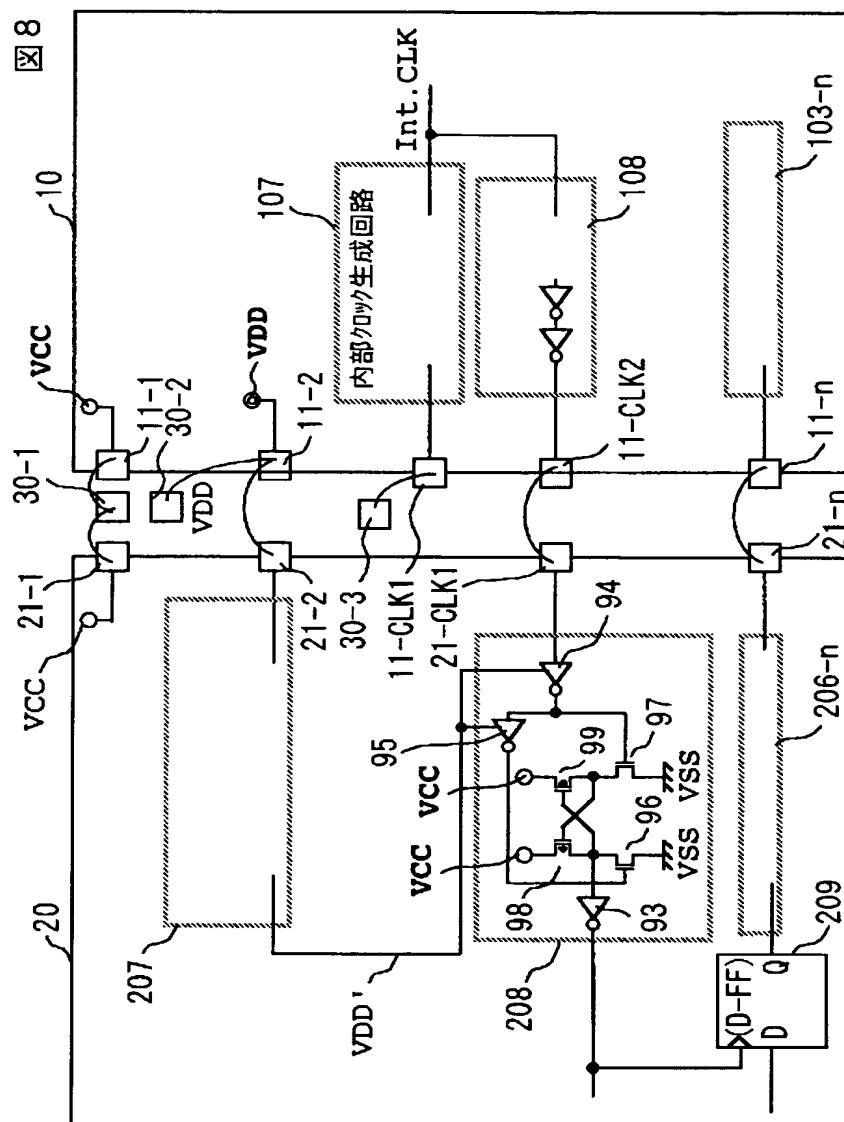
図6



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 高速メモリアクセスを可能とする。

【解決手段】 マイクロプロセッサ（10）と半導体メモリ（20）を含んで半導体装置が構成されるとき、上記マイクロプロセッサには、電源電圧の供給により外部との間で信号のやり取りを可能とするシステム側入出力バッファ回路（103）を設け、上記半導体メモリには、上記電源電圧を参照電圧として取り込んで、上記電源電圧にほぼ等しい内部電源電圧を生成する内部電源回路（207）と、上記内部電源電圧が供給されることにより、上記システム側入出力バッファ回路との間で信号のやり取りを可能とするメモリ側入出力バッファ回路（206）とを設け、マイクロプロセッサ側のレベルシフトを不要として半導体メモリの高速アクセスを可能とする。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 47071

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第3154542号 平成15年4月11日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平2-321649号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願2003-047071
受付番号	50301210817
書類名	出願人名義変更届（一般承継）
担当官	関 浩次 7475
作成日	平成15年10月 3日

<認定情報・付加情報>

【提出日】	平成15年 7月23日
-------	-------------

特願2003-047071

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

特願2003-047071

出願人履歴情報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号
氏 名 株式会社日立超エル・エス・アイ・システムズ

特願 2003-047071

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住所 東京都千代田区丸の内二丁目4番1号
氏名 株式会社ルネサステクノロジ